



PATENT ABSTRACTS OF JAPAN

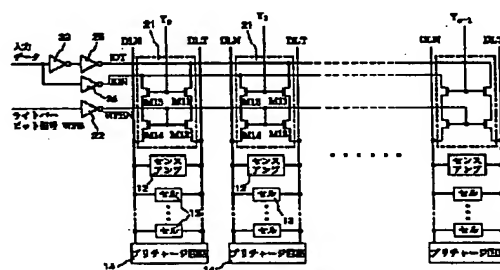
(11) Publication number: **10320973 A**(43) Date of publication of application: **04.12.98**(51) Int. Cl. **G11C 11/401**(21) Application number: **09132203**(71) Applicant: **NEC CORP**(22) Date of filing: **22.05.97**(72) Inventor: **MOROO CHISA**(54) **SEMICONDUCTOR STORAGE DEVICE**

(57) Abstract:

PROBLEM TO BE SOLVED: To positively prevent the inversion of data at a memory cell on write- per-bit operation in a semiconductor memory with the write-per-bit function for limiting the writing of data for specific input/output bits even if a column switch is activated.

SOLUTION: A semiconductor memory has a pair of input/output lines IOT/ ION for transferring data to be written to a memory cell, a plurality of pairs of digit lines DLT/DLN, and a column switch 21 for connecting a pair of digit lines DLT/DLN and a pair of input/output lines IOT/ION that are provided for a pair of digit lines DLT/DLN. In this case, each column switch 21 is constituted by connecting MOS transistors M11 and M13 that conduct electricity according to column switch selection signals Y_0 - Y_{n-1} and MOS transistors M12 and M14 that conduct electricity according to a signal WPBN where a write- per-bit signal WPB is inverted.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-320973

(43) 公開日 平成10年(1998)12月4日

(51) Int.Cl.⁶

G 1 1 C 11/401

識別記号

F I

G 1 1 C 11/34

3 6 2 C

3 7 1 H

審査請求 有 請求項の数10 O L (全 9 頁)

(21) 出願番号

特願平9-132203

(22) 出願日

平成9年(1997)5月22日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 師尾 知佐

東京都港区芝五丁目7番1号 日本電気株式会社内

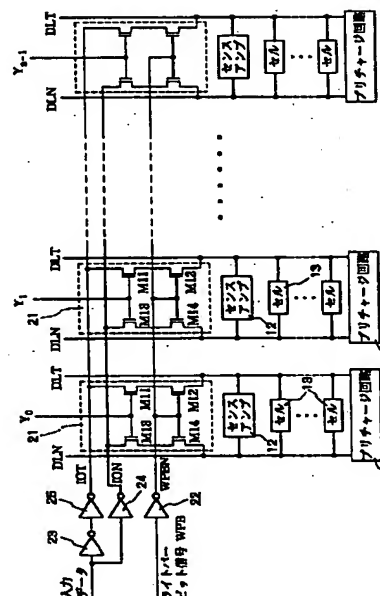
(74) 代理人 弁理士 若林 忠

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 カラムスイッチが活性化しても特定の入出力ビットに対してはデータの書き込みを制限するライトパービット機能を有する半導体メモリにおいて、ライトパービット動作時におけるメモリセルでのデータの反転を確実に予防する。

【解決手段】 メモリセルに書き込むデータを伝達する入出力線対 IOT/ION と、複数のディジット線対 DLT/DLN と、ディジット線対 DLT/DLN ごとに設けられ対応するディジット線対 DLT/DLN と入出力線対 IOT/ION を接続するカラムスイッチ 21 とを有する半導体メモリにおいて、各カラムスイッチ 21 を、カラムスイッチ選択信号 $Y_0 \sim Y_{n-1}$ に応じて導通状態となるMOSTランジスタ M11, M13 と、ライトパービット信号 WPB を反転させた信号 WPBN に応じて導通状態となるMOSTランジスタ M12, M14 とを直列に接続して構成する。



【特許請求の範囲】

【請求項1】 カラムに対応するディジット線対と、前記ディジット線対ごとに設けられたメモリセルと、選択された前記メモリセルに書き込むデータを伝達する入出力バスと、前記ディジット線対ごとに設けられたセンスアンプと、カラムスイッチ選択信号に応じて前記入出力バスと前記ディジット線対を接続する接続手段とを有する半導体記憶装置において、

信号の入力により、前記カラムスイッチ選択信号の状態とは無関係に、前記入出力バスと前記ディジット線対とを切離す切離し手段を有することを特徴とする半導体記憶装置。

【請求項2】 カラムに対応するディジット線対と、前記ディジット線対ごとに設けられたメモリセルと、選択された前記メモリセルに書き込むデータを伝達する入出力バスと、前記ディジット線対ごとに設けられたセンスアンプと、前記入出力バスと前記ディジット線対を接続するカラムスイッチとを有する半導体記憶装置において、

前記カラムスイッチが、第1の信号に応じてオン状態となる第1のスイッチと、第2の信号に応じてオン状態となる第2のスイッチとを有し、

前記第1のスイッチと前記第2のスイッチが前記入出力バスと前記ディジット線対との間に直列に挿入されていることを特徴とする半導体記憶装置。

【請求項3】 前記第1及び第2のスイッチがMOSトランジスタで構成され、前記第1及び第2の信号がそれぞれ前記第1及び第2のスイッチを構成するMOSトランジスタのゲートに入力する請求項2に記載の半導体記憶装置。

【請求項4】 複数のディジット線対を有して前記ディジット線対ごとに前記カラムスイッチが設けられ、前記各カラムスイッチにおいて前記第1のスイッチが前記入出力バス側に前記第2のスイッチが前記ディジット線対側に配置し、前記第1の信号が前記カラムスイッチごとのカラムスイッチ選択信号であり、前記第2の信号が同一の入出力バスに接続された前記カラムスイッチに対して共通に与えられる、請求項2に記載の半導体記憶装置。

【請求項5】 前記入出力バスが前記半導体記憶装置に入出力する1ビットのデータに対応し、複数の前記入出力バスを有して同時に複数ビットのデータ入出力が可能であり、前記各カラムスイッチ選択信号は、前記入出力バスごとにそれぞれ1つの前記カラムスイッチに共通に入力する、請求項4に記載の半導体記憶装置。

【請求項6】 前記第1及び第2のスイッチがMOSトランジスタで構成され、前記第1及び第2の信号がそれぞれ前記第1及び第2のスイッチを構成するMOSトランジスタのゲートに入力する請求項4または5に記載の半導体記憶装置。

【請求項7】 同時に複数のカラムスイッチ選択信号が活性化される請求項1、4、5及び6のいずれか1項に記載の半導体記憶装置。

【請求項8】 前記入出力バスが入出力線対で構成される請求項1乃至7いずれか1項に記載の半導体記憶装置。

【請求項9】 前記メモリセルが、ダイナミック・ランダム・アクセス・メモリ（DRAM）のメモリセルである請求項1乃至8いずれか1項に記載の半導体記憶装置。

【請求項10】 カラムに対応するディジット線対と、前記ディジット線対ごとに設けられたメモリセルと、選択された前記メモリセルに書き込むデータを伝達する入出力バスと、前記ディジット線対ごとに設けられたセンスアンプと、第1の信号に応じて前記入出力バスと前記ディジット線対を接続する第1のスイッチとを有する半導体記憶装置において、

前記第1のスイッチがMOSトランジスタで構成され、前記第1のスイッチと前記ディジット線対の間に、信号の入力に応じて前記第1のスイッチを構成するMOSトランジスタのゲートと同電位になる第2のスイッチが挿入されていることを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体記憶装置（半導体メモリ）に関し、特に、カラムスイッチの活性化／不活性化の状態によらずに特定のビットへのデータの書き込みを制限するライトパービット機能を有する半導体記憶装置に関する。

【0002】

【従来の技術】 RAM（ランダムアクセスメモリ）などの半導体メモリは、データやアドレスの入出力の形態に応じて、いくつかの種類に分類される。その中には、ブロックライト機能を有する半導体メモリがある。

【0003】 ブロックライト機能とは、同時に複数のカラムのカラムスイッチをオンにして、これら複数のカラムのメモリセルに対して同時に書き込みを行う機能のことであり、例えば、画像処理や画像メモリなど用いられている。

【0004】 図1は、ブロックライト機能を有する半導体メモリでのメモリセルアレイ部分の概略の構成を示している。ここでは、例えば「×4」とか「×8」と呼ばれるDRAM（ダイナミックランダムアクセスメモリ）のように、1つのメモリアドレスに対するデータとして複数のビットが対応し、1回のメモリアクセスによってこれら複数のビットのデータが同時かつ並列に入力（書き込み）するものとする。図において、白丸は個々のメモリセルを示している。ここでは、半導体メモリがDRAM構成のものであって、8ビットのデータが同時に入出力するものとし、同時に入出力する8ビットデータの

各ビットごとに、入出力バスとして、それぞれ1対の入出力線 $IOT_0 \sim IOT_7$, $ION_0 \sim ION_7$ が設けられている。対を構成する入出力線 $IOT_0 \sim IOT_7$ と入出力線 $ION_0 \sim ION_7$ は、それぞれ、通常の書き込み動作時には相互に逆論理となっている。また、 n 本のカラムスイッチ選択信号 $Y_0 \sim Y_{n-1}$ が、このメモリエルアレに与えられている。各入出力線対 $IOT_0/IOT_0 \sim IOT_7/ION_7$ には、各カラムスイッチ選択信号 $Y_0 \sim Y_{n-1}$ ごとに、接続手段であるカラムスイッチ(YSW)11が接続しており、各カラムスイッチ11からはそれぞれ1対のディジット線DLT, DLNが出力している。各カラムスイッチ11は、入力するカラムスイッチ選択信号に応じて、対応する入出力線対とディジット線対DLT/DLNとを接続するものである。ディジット線対DLT/DLNにはセンスアンプ(SA)12が挿入されるとともに、複数のメモリエルが接続されている。

【0005】さらに、半導体メモリに与えられるアドレスのうちロウアドレスをデコードして得られるワード選択信号に基づいてメモリエルを選択するために、複数のワード線Wが設けられている。ここで、ワード線Wは、カラムスイッチ11によって選択される各領域に対して共通に設けられ、ワード線Wの本数は、1つのカラムスイッチ11の配下にあるメモリエルの数と同数であって、1つのカラムスイッチ11の配下の領域ごとに、メモリエルとワード線とが1対1に対応している。

【0006】この半導体メモリでは、ブロックライト機能を実現するために、カラムスイッチ選択信号 $Y_0 \sim Y_{n-1}$ のうちの複数のものが活性化し、対応するカラムスイッチ11が入出力線対とディジット線対DLT/DLNを接続するとともに、ワード線Wのいずれかが活性化して対応するメモリエルがディジット線DLTあるいはDLNに接続する。その結果、各入出力線対 $IOT_0/ION_0 \sim IOT_7/ION_7$ 上のデータが、カラムスイッチ11がオン状態でありワード線Wによって選択されたメモリエルに書き込まれる。

【0007】ところで、画像の記憶や画像処理の分野などに使用される半導体メモリの場合、上述したようなブロックライト機能が要求されることが多いが、さらに、入力データのいかにらず、同時に入力する複数のビットのうち特定のビットのみを書き込み禁止にしたいという要求がある。このように、ブロックライト機能を有するメモリなどにおいて特定のビットに対する書き込みの制限を実施することをライトパービットと呼ぶ。

【0008】図2は、ライトパービット機能を備えた従来の半導体メモリの構成を示すブロック図であり、1対の入出力線 IOT , ION に関する部分のみを示したものである。カラムスイッチ選択信号 $Y_0 \sim Y_{n-1}$ ごとにカラムスイッチ(YSW)11が設けられており、カラムスイッチ11は、入出力線 IOT とディジット線DLT

を接続する n チャネルMOSトランジスタM1と、入出力線 ION とディジット線DLNを接続する n チャネルMOSトランジスタM2とによって構成されている。MOSトランジスタM1, M2のゲートは相互に接続するとともに、対応するカラムスイッチ選択信号が供給されている。ディジット線対DLT/DLNには、センスアンプ12、複数のメモリエル13、及びプリチャージ回路14が接続されている。ここでは、説明を簡単にするため、ワード線は描かれていない。1ビットの入力データに対応して入出力線対 IOT/ION 上での信号を生成するとともに、ライトパービット機能を持たせるために、2個のNORゲート15, 16と3個のインバータ17~19が設けられている。具体的には、入力データ(ライトデータ)とライトパービット信号WPBとが一方のNORゲート15に入力し、このNORゲート15の出力がインバータ18で反転して入出力線 IOT 上に出力し、入力データをインバータ17で反転させた信号とライトパービット信号WPBとが他方のNORゲート16に入力し、このNORゲートの出力がインバータ19で反転して入出力線 ION 上に出力している。

【0009】ライトパービット信号WPBがローレベル("0")であれば、入力データが入出力線 IOT 上に表われ、入力データを反転したものが入出力線 ION 上に現れる。これに対し、ライトパービット信号WPBがハイレベル("1")であれば、入力データによらず、入出力線 IOT , ION のいずれもがハイレベルとなる。この半導体メモリでは、ライトパービットによって書き込みを制限したい入力データに対しては、入出力線 IOT , ION をいずれもハイレベルとすることにより、カラムスイッチ11によって入出力線 IOT , ION とディジット線DLT, DLNがそれぞれ接続することとなった場合であっても、メモリエル中のデータが変化することを防ぎ、ライトパービット機能を実現している。

【0010】図3は、カラムスイッチ11及びセンスアンプ12の構成の詳細を説明する図である。ここでは、カラムスイッチ選択信号は符号Yで示されている。カラムスイッチ11は上述したように2つの n チャネルMOSトランジスタM1, M2で構成されている。センスアンプ12は、正電源にドレインが接続された2つの p チャネルMOSトランジスタM3, M4と、負電源にドレインが接続された2つの n チャネルMOSトランジスタM5, M6から構成されている。ディジット線DLTは、MOSトランジスタM3, M5のソースとMOSトランジスタM4, M6のゲートに接続し、ディジット線DLNは、MOSトランジスタM4, M6のソースとMOSトランジスタM3, M5のゲートに接続している。

【0011】

【発明が解決しようとする課題】しかしながら、上述した従来の半導体メモリでは、ライトパービット機能を用いて特定のビットに対する書き込みを制限した場合に、

書き込みが制限されたビットに対応しかつ活性化されたカラムスイッチに対応するメモリセルで、データの反転などが起こることがあるという問題点がある。特に、入出力線対をプルアップするためのバッファ（例えば、図2のインバータ18, 19）の能力に比べ、カラムスイッチでのトランジスタ面積が大きかったり、センスアンプの駆動能力が大きい場合に、このデータ反転が起こりやすい。この従来の半導体メモリでは、書き込みの制限のために、入出力線対をいずれもハイレベルにプルアップするが、カラムスイッチがオンとなることで、対をなすデジタル線間での電圧不平衡がセンスアンプで増幅されるので、入出力線をバッファでハイレベルに吊ったとしたとしても、増幅された電圧不平衡が他のデジタル線対に影響し、影響を受けたデジタル線対でデータの反転が引き起こされることになる。具体的には、ワード線によって選択されたメモリセルの内容に応じてデジタル線対には差電圧が生じるが、ワード線によって選択されたメモリセルのうちa個の内容が“1”、b個の内容が“0”であり、 $a > b$ であるとすると、入出力線対は、内容が“1”である方のメモリセルの影響を多く受け、その結果、あたかも、メモリセルに“1”を書き込むような電位差が生じ、内容が“0”であるメモリセルに対して“1”が書き込まれることになってしまう。

【0012】また、近年の半導体装置の微細化に伴い、半導体メモリの内部で外部電源電圧より低い内部電源電圧を生成し、メモリセルアレイには内部電源電圧を供給し、カラムデコード回路やカラムスイッチはより高い外部電源電圧を用いることが行われるようになってきたが、このように2種類の電源電圧を用いる場合には上述のデジタル線間の電圧不平衡がブーストされることになり、メモリセルでのビット反転が起こりやすくなる。

【0013】このようなビットの反転を防ぐために、デジタル線対にバランスを挿入することも考えられるが、素子面積の大きなバランスを多数必要とするので、半導体メモリのチップ面積の縮小化あるいはメモリ容量の増大といった観点からは好ましくない。

【0014】本発明の目的は、ライトバービット動作を行わせたときにメモリセルでのビット反転が防止することができる半導体メモリを提供することにある。

【0015】

【課題を解決するための手段】本発明の第1の半導体記憶装置は、カラムに対応するデジタル線対と、デジタル線対ごとに設けられたメモリセルと、選択されたメモリセルに書き込むデータを伝達する入出力バスと、デジタル線対ごとに設けられたセンスアンプと、カラムスイッチ選択信号に応じて入出力バスとデジタル線対を接続する接続手段とを有する半導体記憶装置において、信号の入力により、カラムスイッチ選択信号の状態とは無関係に、入出力バスとデジタル線対とを切離す切離し手段を有する。

【0016】本発明の第2の半導体記憶装置は、カラムに対応するデジタル線対と、デジタル線対ごとに設けられたメモリセルと、選択されたメモリセルに書き込むデータを伝達する入出力バスと、デジタル線対ごとに設けられたセンスアンプと、入出力バスとデジタル線対を接続するカラムスイッチとを有する半導体記憶装置において、カラムスイッチが、第1の信号に応じてオン状態となる第1のスイッチと、第2の信号に応じてオン状態となる第2のスイッチとを有し、第1のスイッチと第2のスイッチが入出力バスとデジタル線対との間に直列に挿入されている。

【0017】この半導体記憶装置では、典型的には、第1及び第2のスイッチがMOSトランジスタで構成され、第1及び第2の信号がそれぞれ第1及び第2のスイッチを構成するMOSトランジスタのゲートに入力する。また、複数のデジタル線対を設けてデジタル線対ごとにカラムスイッチを設け、各カラムスイッチにおいて第1のスイッチを入出力バス側に第2のスイッチをセンスアンプ側に配置し、第1の信号をカラムスイッチごとのカラムスイッチ選択信号とし、第2の信号が同一の入出力バスに接続されたカラムスイッチに対して共通に与えられるようにすることが好ましい。

【0018】さらに本発明では、複数の入出力バスを設けて同時に複数ビットへのデータ入出力が可能であるようにしたり、同時に複数のカラムスイッチ選択信号が活性化されるようにしたりすることが好ましい。

【0019】本発明の第3の半導体記憶装置は、それぞれカラムに対応する複数のデジタル線対と、デジタル線対ごとに設けられたメモリセルと、選択されたメモリセルに書き込むデータを伝達する入出力バスと、デジタル線対ごとに設けられたセンスアンプと、カラムスイッチ選択信号に応じて入出力バスとデジタル線対を接続するカラムスイッチとを有する半導体記憶装置において、各センスアンプに共通にセンスアンプ活性化信号が入力し、センスアンプ活性化信号により、カラムスイッチ選択信号の状態によらず、デジタル線対と入出力バスが相互に影響を及ぼさなくなる。

【0020】本発明の第4の半導体記憶装置は、カラムに対応するデジタル線対と、デジタル線対ごとに設けられたメモリセルと、選択されたメモリセルに書き込むデータを伝達する入出力バスと、デジタル線対ごとに設けられたセンスアンプと、第1の信号に応じて入出力バスとデジタル線対を接続する第1のスイッチとを有する半導体記憶装置において、第1のスイッチがMOSトランジスタで構成され、第1のスイッチとデジタル線対の間に、信号の入力に応じて第1のスイッチを構成するMOSトランジスタのゲートと同電位になる第2のスイッチが挿入されている。

【0021】

【発明の実施の形態】次に、本発明の好ましい実施の形

態について、図面を参照して説明する。図4は本発明の実施の一形態の半導体メモリの構成を示すブロック図である。この半導体メモリは図1に示すのと同様の概略構成を有し、図4は1対の入出力線IOT、IONに関する部分のみを示している。

【0022】この半導体メモリでは、図3に示す従来の半導体メモリと同様に、 n 本のカラムスイッチ選択信号 $Y_0 \sim Y_{n-1}$ のそれぞれごとに、カラムスイッチ21が設けられている。カラムスイッチ21ごとにディジット線対DLT/DLNが配置している。カラムスイッチごとのディジット線対DLT/DLNには、センスアンプ12とプリチャージ回路14と複数のメモリセル13が接続している。各メモリセル13には、当然のことながらワード線が接続しているが、ここでは、説明を簡単にするため、ワード線は表示していない。また、図5は、この半導体メモリにおけるある1つのカラムスイッチ21とそのカラムスイッチに接続するセンスアンプ12の構成を示す回路図である。なお、この半導体メモリも、ブロックライト機能を有し、 n 本のカラムスイッチ選択信号 $Y_0 \sim Y_{n-1}$ は、それぞれカラムマスクが設定されていない限り、同時に活性化（ハイレベル）となる。カラムマスクとは、半導体メモリにおけるカラムごとに書き込みの制限を行うことである。

【0023】カラムスイッチ21は、カラムスイッチ選択信号 Y によって、入出力線IOTとディジット線DLTを接続し、入出力線IONとディジット線DLNを接続するものであるが、本実施の形態の半導体メモリでは、ライトパービット機能によって書き込みの制限が行われている場合に、カラムスイッチ選択信号 Y のいかんによらず、入出力線対IOT/IONからディジット線対DLT/DLNを切離すように構成されている。具体的には、ライトパービット信号WPBをインバータ22で反転した信号WPBNが、1つの入出力線対IOT/IONに接続された各カラムスイッチ21に入力している。各カラムスイッチ21は、4個の n チャネルMOSトランジスタM11～M14によって構成されている。MOSトランジスタM11、M12は、チャネルが直列に接続され、MOSトランジスタM11が入出力線IOT側になるように、入出力線IOTとディジット線DLTの間に挿入されている。同様に、MOSトランジスタM13、M14は、チャネルが直列に接続され、MOSトランジスタM13が入出力線ION側になるように、入出力線IONとディジット線DLNの間に挿入されている。MOSトランジスタM11、M13のゲートは共通接続されて対応するカラムスイッチ選択信号 Y が供給されている。一方、MOSトランジスタM12、M14のゲートには、ライトパービット信号WPBを反転させた信号WPBNが共通に入力している。なお、MOSトランジスタM11、M13は接続手段に相当し、MOSトランジスタM12、M14は切離し手段に相当する。

【0024】カラムスイッチ選択信号 Y が入力するMOSトランジスタ（接続手段）をディジット線対DLT/DLN側に、ライトパービット信号WPBを反転させた信号WPBNが入力するMOSトランジスタ（切離し手段）を入出力線対IOT/ION側に設ける構成も考えられるが、以下に述べる理由により、カラムスイッチ選択信号 Y が入力するMOSトランジスタを入出力線対IOT/ION側に配置することが好ましい。すなわち、半導体メモリにおける各素子の消費電流削減及び高速化に伴い、カラムスイッチ選択信号生成のためのデコード回路は外部電源電圧で動作させ、メモリセルアレイの部分は外部電源電圧より低い内部電源電圧で動作させるようなことが、一般的に行われるようになってきている。このような状況下において動作のより一層の安定化を図るためには、相対的に高電圧を扱うこととなるMOSトランジスタをディジット線対から離して配置することが好ましく、このため、カラムスイッチ選択信号 Y が入力するMOSトランジスタを入出力線対IOT/ION側に配置することが好ましいことになる。

【0025】また、入出力線対IOT/IONとセンスアンプ12との位置関係から見ても、カラムスイッチ選択信号 Y が入力するMOSトランジスタを入出力線対IOT/ION側に配置することが好ましい。図4に示す半導体メモリにおいて、仮に、MOSトランジスタM11、M13のゲートにライトパービット信号WPBを反転させた信号WPBNが入力し、カラムスイッチ選択信号 $Y_0 \sim Y_{n-1}$ がそれぞれカラムごとにMOSトランジスタM12、M14のゲートに入力するものとする。すると、通常のライト（リード）時には、ライトパービット動作をさせていないので、各カラムのMOSトランジスタM11、M13は全てオン状態となる。その結果、入出力線対IOT/ION側から見ると、全てのカラムのMOSトランジスタM11、M13のみならず、全てのカラムのMOSトランジスタM12、M14の拡散層容量が負荷となるため、ライト（リード）しにくい状態となる。これに対し、図4に示す通りに、MOSトランジスタM11、M13のゲートにカラムスイッチ選択信号が入力し、MOSトランジスタM12、M14のゲートにライトパービット信号WPBを反転させた信号WPBNが入力するように構成すると、通常のライト（リード）時には、入出力線対IOT/ION側から見た負荷は、全カラムのMOSトランジスタM11、M13の拡散層容量だけとなる。すなわち、カラムスイッチ選択信号 Y が入力するMOSトランジスタを入出力線対IOT/ION側に配置することによって、入出力線対IOT/ION側からみた負荷が軽減され、より確実なライト（リード）が実現することになる。

【0026】センスアンプ12の内部構成は、図2及び図3に示す従来の半導体メモリと同じである。また、図4に示すように、入力データから入出力線IOT、ION

N上のデータを生成するために、3個のインバータ23～25が設けられている。すなわち、入力データは2つのインバータ23,24に入力し、インバータ23の出力はインバータ25に入力している。そして、インバータ25の出力が入出力線IOT上に送出され、インバータ24の出力が入出力線ION上に送出される。

【0027】この半導体メモリでは、ライトパービット信号WPBをハイレベルとすると、信号WPBNがローレベルとなり、各カラムスイッチ21において、MOSトランジスタM12,M14がいずれも非導通状態となる。その結果、カラムスイッチ選択信号 $Y_0 \sim Y_{n-1}$ が活性化して（ハイレベルになって）MOSトランジスタM11,M13が導通状態になったとしても、入出力線対IOT/IONとディジット線対DLT/DLN間の電氣的接続が断たれたままとなり、入出力線対IOT/IONの状態がディジット線対DLT/DLNに及ぶことがなくなり、ライトパービット動作が実現する。この場合、ライトパービット動作に伴って入出力線IOT,IONの両方をハイレベルに吊る必要はない。

【0028】図6は、本実施の形態の半導体メモリと従来の半導体メモリ（図2及び図3参照）での、ライトパービット動作でない時及びライトパービット動作時の書き込みタイミングを示すタイミングチャートである。ここでは、“0”（ローレベル）を書き込むものとする。書き込み動作時以外には、入出力線IOT,IONはいずれもハイレベルに保たれ、また、各カラムスイッチ選択信号 $Y_0 \sim Y_{n-1}$ はローレベルに保たれるものとする。

【0029】本実施の形態の半導体メモリの場合、ライトパービットでないときの動作は、図6(a)に示すように、入出力線IOT,IONを所定のレベル（ここでは“0”）を書き込むので入出力線IOTをローレベルとし、入出力線IONはハイレベルに保ったままとするとし、次に、カラムスイッチ選択信号 $Y_0 \sim Y_{n-1}$ をローレベルからハイレベルに遷移させる。ライトパービット動作ではないので、ライトパービット信号WPBはローレベルに固定され（図示、L固定）、したがって、信号WPBNはハイレベルに固定され（図示、H固定）、各カラムスイッチ21内のMOSトランジスタM12,M14はいずれも導通状態にある。この結果、カラムスイッチ選択信号 $Y_0 \sim Y_{n-1}$ がハイレベルとなることにより、入出力線対IOT/IONの電位状態がディジット線DLT/DLNに伝達され、メモリセルへの書き込みがなされる。そして、カラムスイッチ選択信号 $Y_0 \sim Y_{n-1}$ をローレベルに戻した後、入出力線IOT,IONをいずれもハイレベルとすることによって、書き込み動作が終了する。

【0030】一方、ライトパービット動作時には、図6(b)に示すように、入出力線対IOT,IONを所定のレベルに遷移させた後、カラムスイッチ選択信号 $Y_0 \sim Y_{n-1}$ がハイレベルになる前に、ライトパービット信号W

PBをハイレベルにすると、信号WPBNはローレベルとなって、各カラムスイッチ21内のMOSトランジスタM12,M14はいずれも非導通状態となる。ここで、カラムスイッチ選択信号 $Y_0 \sim Y_{n-1}$ がハイレベルになって各カラムスイッチ21内のMOSトランジスタM11,M13が導通状態となっても、入出力線対IOT/IONの電位状態はディジット線対DLT/DLNには伝達しない。すなわち、ライトパービット動作が達成されたことになる。カラムスイッチ選択信号 $Y_0 \sim Y_{n-1}$ がローレベルに遷移した後、ライトパービット信号WPBをローレベルにする。そして、両方の入出力線IOT,IONをハイレベルにする。

【0031】従来の半導体メモリの場合、ライトパービット非動作時には、図6(c)に示すように、入出力線IOT,IONを所定のレベルに遷移させた後、各カラムスイッチ選択信号 $Y_0 \sim Y_{n-1}$ をハイレベルとしてメモリセルへの書き込みを行う。そして、カラム選択信号 $Y_0 \sim Y_{n-1}$ をローレベルにしてから、両方の入出力線IOT,IONをハイレベルにする。一方、ライトパービット動作時には、図6(d)に示すように、入出力線IOT,IONをいずれもハイレベルに保ったままとする。両方の入出力線IOT,IONがハイレベルに吊られているので、カラムスイッチ選択信号 $Y_0 \sim Y_{n-1}$ によってカラムスイッチがオン状態となってもディジット線対に接続されたメモリセルではデータの反転が起こらないはずであるが、従来の技術で述べたように、実際にはデータの反転が起こり得る。

【0032】

【発明の効果】以上説明したように本発明は、カラムスイッチ選択信号の状態とは無関係に、入出力バスとディジット線対とを切離すことができるように構成することにより、ライトパービット動作を行わせた際のメモリセルでのビット反転を確実に防止できるようになり、半導体メモリの動作信頼性を高めることができるという効果がある。

【図面の簡単な説明】

【図1】ブロックライト機能を有する半導体メモリの構成の概略を示すブロック図である。

【図2】ブロックライト機能を有する従来の半導体メモリを説明するブロック図である。

【図3】図2の半導体メモリにおけるカラムスイッチ及びセンスアンプの構成を示す回路図である。

【図4】本発明の実施の一形態の半導体メモリを説明するブロック図である。

【図5】図4の半導体メモリにおけるカラムスイッチ及びセンスアンプの構成を示す回路図である。

【図6】(a),(b)は図4に示す半導体メモリの動作を説明するタイミング図であり、(c),(d)は図2に示す従来の半導体メモリの動作を説明するタイミング図である。

【符号の説明】

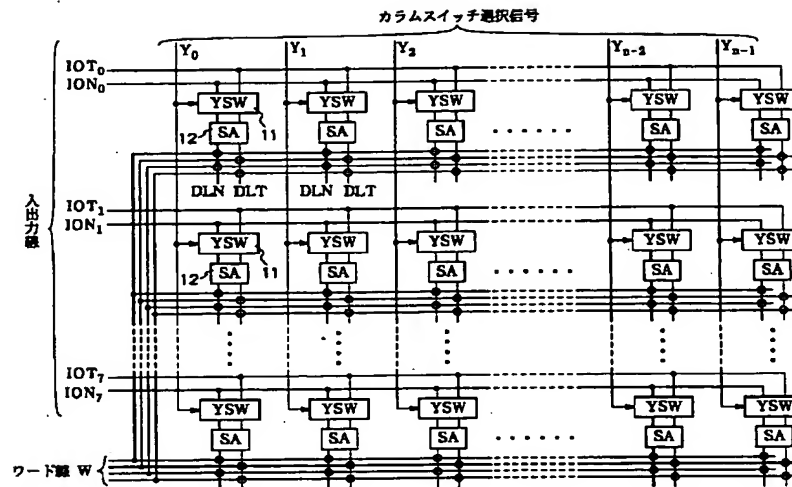
11

12

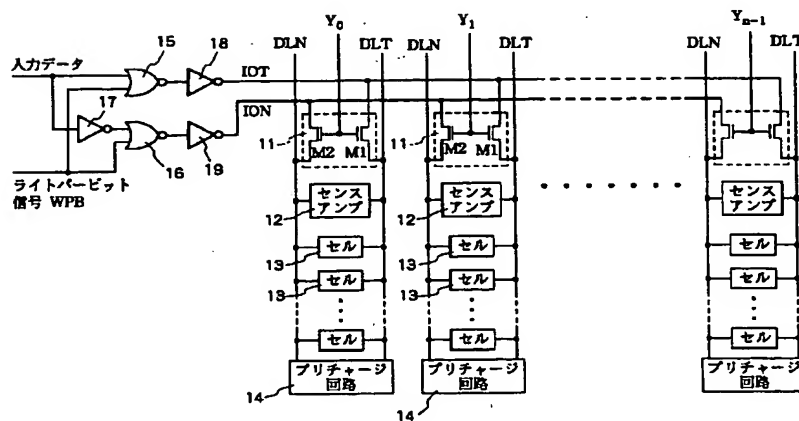
- 11, 21 カラムスイッチ
 12 センスアンプ
 13 メモリセル

- 14 プリチャージ回路
 15, 16 NORゲート
 17~19, 22~24 インバータ

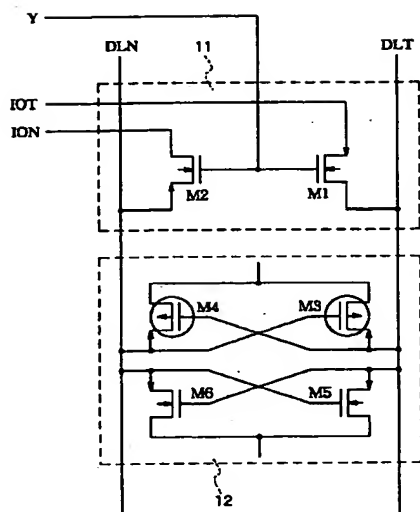
【図1】



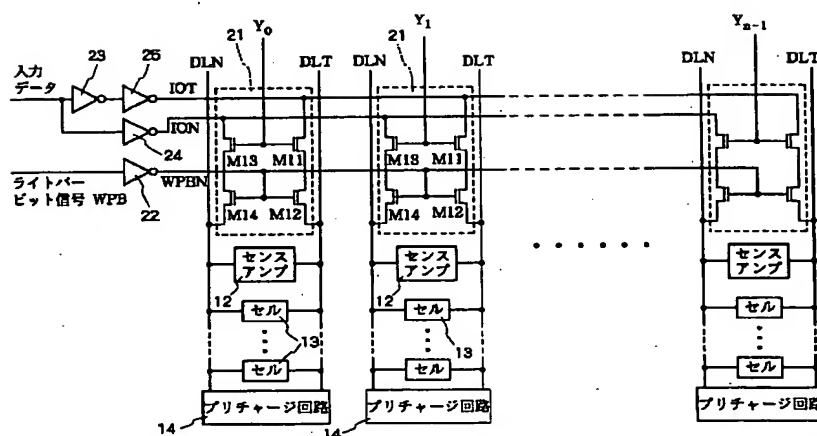
【図2】



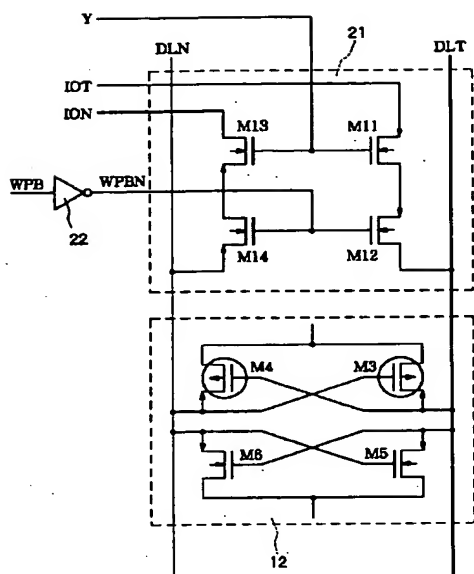
【図3】



【図4】



【図5】



【図6】

